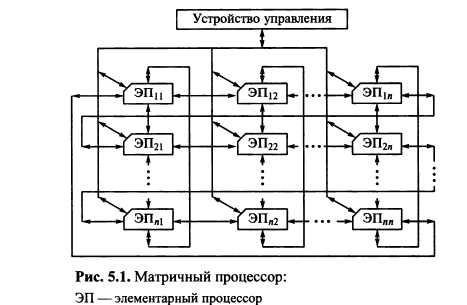
7. Матричные вычислительные системы

7.1 Каноническая функциональная структура матричного процессора. Назначение. SIMD-архитектура. Структура и эволюционирование матричного процессора. SOLOMON.

Матричные выч системы- данные системы по архитектуре относятся к SIMD с массовым параллелизмом. Данный класс предназначен для решения сложных задач, в которых преобладают операции над векторами и над матрицами преобразований.

Каноническая функциональная структура матричного процессора

Матричные (или векторные) процессоры (Array Processors) представляют из себя матрицу ЭП, которые взаимодействуют через сеть связи: работает через единое устройство управления. В состав ЭП входят АЛУ, локальная память, локальный коммутатор. УУ направляет текущую команду во все процессоры одновременно. ЭП исполняют команду параллельно, но каждый над своими данными. Данная структура была технико и канонически обоснована в 1960 гг, когда стоимость УУ составляла значительную сумму по сравнению с АЛУ и памятью, тогда электроника была дорогой. Но к началу 21 века эта структура оказалась востребована, т.к. стали создаваться кристаллы с множеством процессоров. Матричные процессоры нужны для решения сложной задачи, представленной параллельно. Режим мультипрограммирования не предусмотрен, но возможен, если УУ использовать в режиме распределения времени и пространства. Режим разделения времени используется УУ и его время делится между различными параллельными программами, находящимися в нем.Разделение пространства используется в матрице элементарных процессоров, каждой задаче выделяется место из элементарных процессоров. Матричный процессор в отличие от конвейерного не имеет принципиальных ограничений в увеличении производительности.



Первая матричная ВС SOLOMON (Simultaneous Operation Linked Ordinal MOdular Network - вычислительная сеть синхронно функционирующих упорядоченных модулей) была разработана в Иллинойском университете США. Планировалось, что она будет иметь матрицу из 32 x 32 элементарных процессоров, способную выполнять операции над словами c переменной разрядностью от 1 до 128 разрядов. Каждый ЭП должен был иметь в своем составе АЛУ c последовательной поразрядной обработкой и память емкостью 16 K бит. Все ЭП в любой момент времени могли выполнять только одну и ту же операцию над числами, хранящимися в их ячейках памяти (c одними и теми же aдресами). При этом каждый ЭП мог находиться либо в активном состоянии и выполнять команды, поступающие из устройства управления, либо в пассивном состоянии и не реагировать на эти команды. Устройством управления в системе SOLOMON могла служить серийно выпускаемая ЭВМ. Эта машина должна была иметь память для хранения программ и осуществлять связь c внешними устройствами.

7.2 Система ILLIAC-IV. Функциональная структура. Архитектурные возможности квадранта и элементарного процессора.

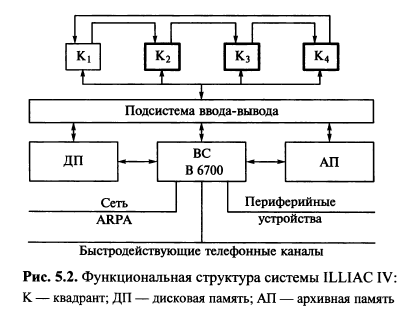
ВС ILLIAC – IV

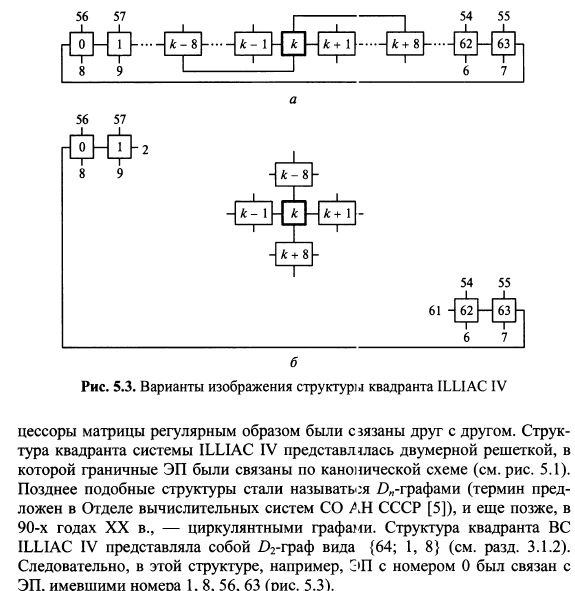
В марте 1972 собрана первая модификация компанией Burroughs Corp, в октябре установлена в центре NASA. На практике 2\*108оп/сек над 64 разрядными словами, состояла из 64 элементарных процессоров. Полезное время работы 80-85 %, т.е. сколько времени требовалось на решение задач, 20-15% на обслуживание, ремонт. Система включена в состав функц сети ARPA (AdvancedResearchProjectAgency), система эксплуатировалась до 1981 г. Публикации по SOLOMON появились на 6 месяцев позднее Новосибирских разработок, а ILLIAC на 6 лет позднее, чем МИНСК-22, хоть он не давал такой производительности, он обладал MIMD-архитектурой.

Функциональная структура ILLIAC-IV

Система должна была состоять из 4 квадрантов под систему ввода-вывода, систему управления, дисковой памяти и архивной памяти. Макс вариант, но в жизни был реализован 1 квадрант – матричный процессор, состоящий из матрицы 8х8=64 ЭП.

Квадрант - матричный процессор, включавший в себя устройство управления и 64 ЭП. Устройство управления представляло собой специализированнyю ЭВМ, которая использовалась для выполнения операций над скалярами и формировала поток команд на матрицу ЭП. Элементарная матрица из 64 ЭП предназначалась для реализации операций над векторами данных.





В системе предусматривалось выполнение операций с плавающей запятой над 64 или 32 разрядными словами и с фиксированной запятой над 48, 24 и 8 разрядными числами. Если использовалось 64 разряда, то в векторе данных было 64 компонента. Это самая медленная операция.

Если 8-разрядные, то в векторе размещалось 512 компонентов с быстродействием 1010. Память каждого ЭП 2048 64-х разрядных слов. Архивная память – лазерная память с однократной записью, емкостью 1012Мбит

ВС В-6700 является хост-компьютером , управляла выч системой, через которую осуществлялся доступ к ресурсам ВС. Для восстановления системы (машины) существовали специализированные диагностические машины (в случае отказа).

ПО ILLIAC-IV

Создавались как средство решения сложных задач, представленных параллельными программами

Каждая такая прога состояла из 3 частей.

1) часть предпроцессорная – последовательная, выполняла 10-2чные преобразования и инициировала работу ВС

2) ядро проги – параллельная часть для описания требовалось 5-10% от общего кол-ва команд в проге. Реализация ядра занимала 80-95% общего времени выполнения проги

3) постпроцессорная обеспечивает 2-10чные преобразования, вывод результата на внешние устройство, в том числе и на графопостроитель, с которого была возможность осуществить переход в ядро и это последовательная часть

ОС ILLIAC работала под управлением управляющей программы В-6700

ОС состояла из набора асинхронных программ. Имелось 2 режима работы:

1) Обеспечивал контроль и диагностику, как квадранта так и подсистемы ввода-вывода

2) Обеспечивал выполнение пользовательских параллельных программ

Система программирования включала языки высокого уровня, в частности Tranquil – язык алгольного вида, освобождал пользователя от знания машины ILLIAC-IV.

Реализация транслятора для такого языка (когда маскировалась архитектура ВС) была трудоемкой и требовала огромного объема; от этого языка отказались.

Glynpir – язык высокого уровня, алгольный тип, требовал знания архитектуры системы, от него также отказались

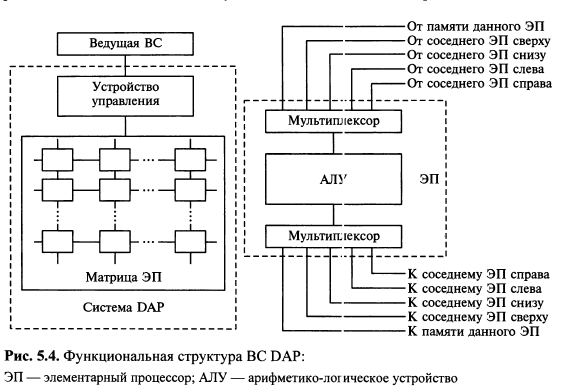
Параллельный FORTRAN работал как обычный FORTRAN были добавлены схемы обмена между ветвями параллельной проги.

Сама машина ILLIAC использовалась как уникальное средство по обработки информации.

7.3 Система DAP. Особенности архитектуры, структура.

Разработку матричной ВС DAP (Distributed Аггау Processor распределенный матричный процессор) осуществляла английская фирма ICL (International Computers Ltd.). Работы были начаты в 1972 г., опытные образцы были построены в 1976 г. и 1977 г.

Система DAP по своей архитектуре относилась к SIMD-типу, это была ВС c массовым параллелизмом. Планировалось, что ВС будет состоять из 50 000 параллельно работающих ЭП, управляемых одним потоком команд. Каждый ЭП будет представлять собой монолитную большую интегральную схему, подсистема ввода-вывода информации будет выполнена также на БИС. Предполагалось аппаратно реализовать многие функции программного обеспечения. Функциональная структура ВС DAP - это композиция ведущей ВС и собственно DAP. Ведущая ВС (Host Computer) предназначалась для реализации функций операционной системы (включая подготовку данных и команд для DAP, распределение данных по ЭП).



Устройство управления формировало поток команд на матpицy ЭП, в частности оно направляло команды, адреса и другую информацию, необходимую элементарным процессорам для выполнения «матpичных» операции. Между ЭП существовала сеть связей. Она обеспечивала через мультиплексоры связь каждого ЭП c регистрами АЛУ четырех ближайших соседей, расположенных сверху, снизу, слева и справа от него. Следовательно, сеть связей обеспечивала архитектypнyю гибкость ВС DAP.

7.4 Семейство Connection Machine. Функциональная структура, элементарные процессоры, модель виртуальной машины, ПО, модели семейства СМ.

Эволюция архитектуры матричных ВС и достижения в технологии БИС привели к созданию ВС c массовым параллелизмом, архитектура которых не может быть вписана в какой-либо один из канонов. Архитектура данных систем в зависимости от «глубины» просмотра может быть отнесена к классам MIMD и SIMD одновременно. Например, система в целом может иметь архитектуру MIMD, a ее основные пpоцессорные компоненты SIMD; сети связей между элементами обработки информации на различных иерархических уровнях могут быть также различными. К таким ВС относятся модели семейства Connection Machine: СМ-1, СМ-2 и СМ-5.

Отметим архитектурные особенности систем семейства СМ:

• превалирующий класс архитектуры SIMD (MIMD, любой из моделей в целом);

• массовый параллелизм (МРР Massively Parallel Processing);

• максимальное число ЭП —65536 (или 2 1 '');

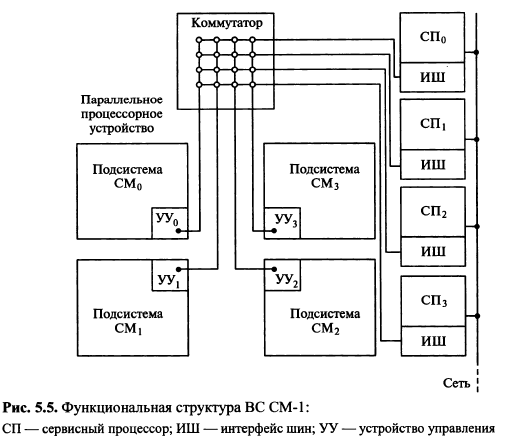
• быстродействие до 1 TFLOPS;

• однородность и программируемость структуры сети межпроцессорных связей;

• масштабируемость ВС

Вычислительная система СМ-1 первая модель семейства Connection Machine была спроектирована в Thinking Machines Corp. в течение 1983 г. и первой половины 1984 г.

Функциональная структура системы СМ-1. Модель СМ-1 семейства Connection Machine имеет достаточно развитую функциональную структуру, характеризуется иерархией средств управления процессами обработки информации. B состав ВС СМ-1 входят: параллельное процессорное устройство (Parallel Processor Unit); четыре сервисных процессора c интерфейсом шин (ИШ); коммутатор (Nexus).



Основу любой конфигурации СМ-1 в целом составляет параллельное процессорное устройство c архитектурой MIMD, которое может иметь в своем составе от одной до четырех подсистем: СМ 0-СМ З. Архитектура подсистем СМ 0-СМ З относится к классу SIMD. Следовательно, в пределах каждой из подсистем данные распределяются по процессорам и одна и та же программа управляет работой множества процессоров (но каждого над своим подмножеством данных).

Устройство управления (Sequencer) ВС СМ-1 специально спроектированный микрокомпьютер для реализации функций виртуальной машины (архитектура, которой существенно удобнее для пользоватeля, чем y реальной физической ВС). Это устройство содержит память нанокоманд емкостью 16 K 96-paзpядны слов. На входы четырех устройств управления поступает поток информации «высокого уровня», a именно операций виртуальной машины и аргументов. Этот поток поступает из коммутатора по синхронному параллельному (32-разрядному) каналу данных. На выходе УУ имеет место поток нанокоманд, которые и управляют работой элементарных процессоров и памяти.

Все элементарные процессоры ВС СМ сгруппированы в вычислительные узлы (или вершины) по 16 ЭП. Каждый узел конструктивно оформлен как объединение процессорного кристалла и кристалла памяти. Такой узел в целом называют просто процессорным кристаллом. В каждой из подсистем СМо—СМЗ имеется 1024 узла: Взаимодействие между узлами осуществляется через сеть связей, структура которой представляет собой 10-мерный гиперкуб. Сервисные процессоры (Front-ends), по сyти, составляют аппаратурно-программную среду для разработки системного ПО. Они выполняют также функции ведущих (Host) процессоров и обеспечивают взаимодействие c сетью ЭВМ (Network).

Интерфейс шин (Bus Interfase) поддерживает 32-разрядный параллельный асинхронный канал между сервисными процессорами и коммутатором. Коммутатор (Nexus) предназначается для организации взаимодействия между сервисными процессорами и устройствами управления, он имеет размер 4 х 4 (4 х 4 Cross-point Switch). Коммутатор реализует механизм разделения, который позволяет в пределах ВС СМ-1 конфигурировать до четырех подсистем, работающих под управлением своего сервисного процессора.

Элементарные процессоры и вычислительные узлы ВС СМ-1.

Элементарный процессор - основной функциональный элемент системы СМ-1. Он имеет архитектуру SISD и является однорaзрядным последовательным средством обработки информации. В состав каждого ЭП входят:

• одноразрядное АЛУ;

• битно-адресуемая локальная память (ЛП) емкостью 4 K бит;

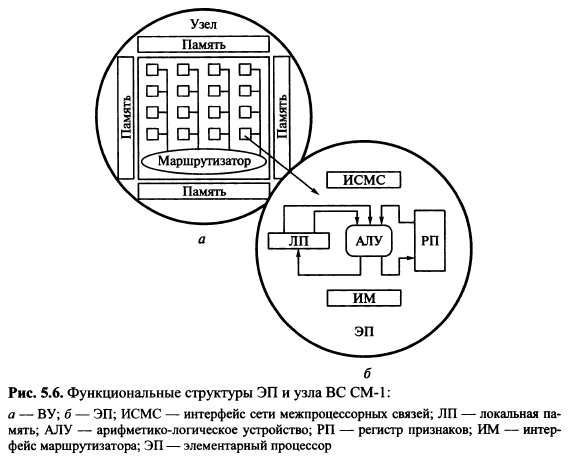
• восемь одноразрядных регистров признаков (РП) или флагов;

• интерфейс маршрутизатора (ИМ);

• двумерный интерфейс сети межпроцесссрных связей (ИСМС).

Элементарный процессор ВС СМ-1 не является конструктивно оформленным элементом. В качестве конструктивной (да и функциональной) единицы выступает вершина или вычислительный узел.

При реализации узла используются два типа кристаллов. Первый – это оригинальный, специально спроектированный (заказной) кристалл. Этот кристалл называют процессорным, он содержит АЛУ, регистры признаков и коммуникационный интерфейс для 16 ЭП (маршрутизатор и средства межпроцессорной сети связей). Второй кристалл - коммерческая статическая память c произвольным доступом и c защитой по четности.



Виртуальная машина ВС СМ-1.

Пользователю ВС СМ-1 предоставляется удобный сервис - виртуальная машина. Архитектура этой машины весьма близка к архитектуре физической системы Connection Machine и имеет два существенных расширения: ее набoр параллельных команд (названный Paris - Парис) существенно расширен и в ней имеется абстракция виртуального процессора. Границами набора команд Paris являются простые логические и арифметические операции и высокоypовневые операции, сортировка и коммуникационные операции. Функции интерфейса Paris между коммуникационным процессором и остальной частью системы СМ-1) сводятся к формированию потока кодов операций и аргументов. Аргументы это, как правило, начальный адрес и количество бит (разрядность операнда) . B качестве аргумента могут служить непосредственно данные или информация о широковещательном приеме. Большая часть набора Paris реализована в аппаратyре УУ, где осуществляется синтаксический анализ потока ко, нов операции и аргументов и его преобразование в соответствующую последовательность нанокоманд для ЭП. Поскольку Paris является набором команд виртyaльной машины, то вполне допустимо использовать те же самые имена и для языка ассемблера системы СМ-1.

Виртуальный процессор необходим во многих областях параллельной обработки данных (так как часто требуются специфические процессоры, которые заметно отличаются от физических ЭП данной системы). Программное обеспечение ВС СМ-1 предоставляет механизм виртуального процессора, он поддерживается Paris и легко понятен пользователю.

Программное обеспечение ВС См-1.

Основу системного ПО СМ-1 составляет операционная система (Operating System), являющаяся штатной операционной средой (либо UNIX, либо LISP) сервисных процессоров c небольшим расширением.

Тем не менее следует заметить, что стандартные языки программирования все же имеют некоторые расширения, поддерживающие параллельные конструкции данных. Однако эти расширения не требуют изучения какого-либо нового стиля программирования.

- Язык СМ-FORTRAN системы Connection Machine использует расширения (Аггау Extensions) для работы c векторами, матрицами и массивами.

-Языки \*LISP (читается Star LISP) и СМ-LISP являются параллельными диалектами обычного языка LISP (LISP LISt Processing language язык обработки списков).

-Язык С\* является параллельной версией C.

Connection Machine 2

Модель СМ-2 развитая версия СМ-1. При создании СМ-2 преследовали следующие цели:

• обеспечение совместимости c моделью СМ-1;

• увеличение производительности и емкости памяти;

• повышение общей надежности;

• упрощение производства;

• подключение высокоскоростной системы ввода-вывода (для внешней памяти и дисплеев).

Была совместима с семейством СМ-1 и предшествующими моделями. Обладала большими вычислительными возможностями. В ней аппаратно реализованы операции с плавающей запятой (1986-87 гг). Максимальное количество процессоров (максимальная конфигурация) - 64 К элемент-процессоров быстродействия 2500 ms и 32 GFLOP (над 32 разрядными числами). Функциональная структура получила развитие: в ней появились подсистемы ввода/вывода и дисковая память большой емкости. Функциональная структура также была масштабируемой, минимальная конфигурация составляла 2 вычислительных узла и соответственно 32 элемент-процессора. Для связи вычислительных узлов конфигураций используется гиперкуб размерностью от 1 до 12. Количество элемент-процессоров (ЭП) было кратно 32. 12D-куб представляется 3D-кубом, в котором каждая вершина является 9D-кубом, а гиперребра имеют размерность 512. В ЭП был добавлен акселлератор для операций с плавающей запятой. Емкость памяти ЭП = 64 Кбит (значительно увеличена).

Connection-Machine-5.

Была реализована в 1991 году. Конфигурация состояла из 16384 ЭП, а максимальная производительность - 1 ТетаFLOPS (10^12 операций с плавающей запятой в секунду). Емкость памяти - 512 Кб. Архитектура ВС была излишня и представляла композицию из SIMD и MIMD архитектуры. Была масштабируема, варьирование количества выч. узлов от 16 до 16384. Соответственно, структура от 4D-куба до 14D-кубов. Множество вычислительных узлов были распределены на вычислительные и управляющие. Это позволяло составлять большое количество подсистем, в котором был один управляющий и множество вычислительных узлов. Машина имела структуру MIMD, а подсистемы - SIMD.

7.5 Анализ матричных ВС

Матричные ВС, начиная c 60-х годов ХХ в., относятся к основным концепциям построения сверхмощных средств ВТ. Матричный способ обработки информации в отличие от конвейерного в принципе позволяет осуществлять неограниченное количество вычислительных процессов, следовательно, достичь любого уровня быстpодействия вычислительных средств.

Матричные ВС - вариант технической реализации модели коллектива вычислителей. B таких системах в высокой степени воплощены фундаментальные архитектурные принципы.

1. Параллельность выполнения операций в матpичных ВС обеспечивается на нескольких функциональных уровнях. На макpоypовне параллельность достигается за счет одновременной работы нескольких матричных процессоров (квадрантов в ILLIAC-N и процессорных подсистем в системах семейства Connection Machine). На микроуровне параллельность выражается в возможности одновременной работы большого количества элементарных процессоров (например, 64 ЭП в квадранте)

2. Программируемость структуры в матричных системах изначально проявлялась более сильно, чем в конвейерных. B самом деле, матричная ВС может быть так настроена, что ее различные квадранты или подсистемы будyт одновременно решать различные задачи. Кроме того, в пределах квадранта или подсистемы имеется возможность программировать направление передачи информации от каждого ЭП и, следовательно, настраивать канал связи между любыми ЭП. B матричных ВС заложены средства программного управления состоянием каждого ЭП. Послeднее позволяет матрицу или подсистему ЭП разбивать на группы, каждая из которых может реализовать свой режим обработки данных.

З. Однородность состава u структуры ВС видна на всех функциональных уровнях. На макpоypовне однородность выражена тем, что все матричные процессоры (или квадранты в ILLIAC-IV, или подсистемы в моделях СМ) и устройства управления, входящие в них, одинаковы. На микроуровне однородность ВС достигнута за счет применения множества идентичных элементарных процессоров. Сети межпроцессорных связей в матpичныx ВС однородные это и двумерные решетки, и гиперкубы. Однородность проявляется и в конструкции матричных ВС, они формируются из конструктивно однотипны элементарных процессоров или процессорных кристаллов-узлов.

Таким образом, матричные вычислительные системы c канонической архитектурой относятся к важнейшим вехам компьютерной истории. Матричные ВС c момента своего зарождение обеспечивали уровень производительности, адекватный потребностям в высокопроизводительных вычислениях и технико-экономическим возможностям общества.